

CLIPPEDIMAGE= JP404061256A

PAT-NO: JP404061256A

DOCUMENT-IDENTIFIER: JP 04061256 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: February 27, 1992

INVENTOR-INFORMATION:

NAME

OZAKI, HIDEYUKI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP02173532

APPL-DATE: June 28, 1990

INT-CL (IPC): H01L021/82;H01L027/04

US-CL-CURRENT: 257/528,257/531 ,257/532 ,438/396

ABSTRACT:

PURPOSE: To reduce the magnitude of overshoot or undershoot induced by oscillation by making variable inductance or capacitance having a signal wiring on a semiconductor substrate.

CONSTITUTION: If switches 26 to 28 are opened individually, an inductance component will work by inductance patterns 21 to 24 existing there while the switches 26 to 28 are closed individually. In the mean time, the inductance component by the inductance patterns 21 to 24 will be bypasses. In other words, the switches 26 to 28 are opened or closed individually in an arbitrary manner, it will be possible to change the inductance value

between a bonding
pad 12 and an input buffer circuit 20, it is also possible
to change the
inductance value between a bonding pad 12 and an input
buffer circuit 20 by the
above arbitrary opening/closing action. It is also
acceptable to use the
capacitance component in place of the inductance component
or it is possible to
use both the components for the structure.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-61256

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月27日

H 01 L 21/82
27/04V
L
C7514-4M
7514-4M
7514-4M
7638-4M

H 01 L 21/82

P

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路

⑰ 特 願 平2-173532

⑱ 出 願 平2(1990)6月28日

⑲ 発 明 者 尾 崎 英 之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

半導体集積回路において、外部からの信号が入力される入力端子のアルミ配線を折れまげるように配置されたインダクタンス素子、或は半導体集積回路と構成する複数の配線層の異なる層により形成されるキャパシタ及び上記インダクタンス素子或はキャパシタを短絡するためのスイッチング素子により形成し、入力インダクタンス値あるいは入力キャパシタンス値を可変にできるような手段を有する半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体集積回路の入力バッファ回路の構成法に関するものである

〔従来の技術〕

第3図は従来の半導体集積回路の構成を示す模式上面図である。図中、(1)は半導体基板、(2)

～(8)はボンディングパッド、(9)はAl配線、(10)は入力バッファ回路を示す。図のように半導体基板(1)上にボンディングパッド(2)～(8)が形成され、ボンディングパッド(2)～(8)とパッケージのリード線がAl線等により接続され、パッケージの信号入力端子と接続される。又、ボンディングパッド(2)からはAl配線(9)を介して入力バッファ回路(10)の入力端子に接続される。

次に動作について説明する。Al配線(9)は当然インダクタンス成分及び浮有容量を有しており、入力バッファ回路(10)も入力容量を有している。

更には半導体集積回路が実装されるプリント基板の信号配線も浮有インダクタンス及び浮有容量を有している。第8図は第3図の半導体集積回路のプリント基板上における実使用状態での信号線の、浮有容量、及び浮有インダクタンスを等価的に示した回路図である。図において(9)はAl配線、(10)は入力バッファ回路、(11)は集積回路側、また0点より左はプリント基板側を示

す。

図のように、プリント基板上配線、及び半導体基板上配線ともに固有のインダクタンス及び容量を有していると考えられる。

〔発明が解決しようとする課題〕

従来の半導体集積回路は以上のように構成されているので、プリント基板上のある集積回路から信号が注目している集積回路に伝えられたとき、この兩者をつなぐ配線、及び注目している集積回路のL、C成分により信号が“H”レベルから“L”レベル或は“L”から“H”レベルに変化した時信号波形に乱れが生じる。

この様子を第8図に示すA点およびB点について、信号波形を第4図に示す。図のように一般的には実線で示したようなオーバーシュート、アンダーシュート波形が必ず出現する。

そして、特にこの信号変化の高調波成分が信号配線の固有のL、C成分と、たまたまその共振周波数に合致した場合には第4図中の破線で示したような大きなアンダーシュート或はオーバ

ーシュートを生じさせ、場合によつては半導体集積回路に誤動作を生じさせる等の問題点があった。

この発明は上記のような問題点を解決するためになされたもので、上記の共振によるオーバーシュート、或はアンダーシュートの大きさを低減する手段を有する半導体集積回路を得ることを目的とする

〔課題を解決するための手段〕

この発明に係る半導体集積回路は、半導体基板上の信号配線の有するインダクタンス或はキャパシタンスを可変にできるようにする。

〔作用〕

この発明による半導体集積回路は、実際のプリント基板上のインダクタンス或はキャパシタンス成分、及びその半導体集積回路に入力される他の半導体集積回路の出力信号の高調波成分により発生するオーバーシュート、アンダーシュートをユーザーにより低減することが可能になる。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図において10は半導体基板、12～14はボンディングパッド、16はA1配線、18は入力バッファ回路を示す。又、20～24はA1配線を折りまげて形成したインダクタパターンであり、その目的とするところは意識的にインダクタンスを形成することである。26～28はスイッチである。スイッチ26～28を個々に開放すればその間にあるインダクタパターン20～24によるインダクタンス成分が生じ、スイッチ26～28を個々に閉じれば、その間にあるインダクタパターン20～24によるインダクタンス成分がバイパスされることになる。

即ち、スイッチ26～28個々の開放或は閉を任意に行うことによつてボンディングパッド12と入力バッファ回路18の間のインダクタンス値をかえることができる。従つて第8図に示したL₁のインダクタンス値を変更でき、共振周波数と異なつた時定数に設定することにより信号

のオーバーシュート、或はアンダーシュートを低減することができる。

又スイッチ26～28はアルミ工程のマスクによつて作つてもよく、又、MOSトランジスタ等の能動素子を用いてもよい。又、スイッチ26～28をヒューズで形成し、ユーザーが任意にこのヒューズの切断ができる（即ちプログラムできる）ように構成してもよい。

なお、上記実施例ではインダクタンス成分を用いる場合で説明したが、キャパシタンス成分でも良く、或は兩者を用いて構成することも可能である。

また、入力端子の入力インダクタンス値、あるいは入力キャパシタンス値を変える手段であればインダクタンス成分あるいはキャパシタンス成分によらなくてもよい。

〔発明の効果〕

以上のように、この発明によれば、半導体集積回路の入力インダクタンス或は、キャパシタンスを可変にできるようにしたので、入力信号

の回路時定数によるオーバーシュート、アンダーシュートを低減できる効果がある。

4. 図面の簡単な説明

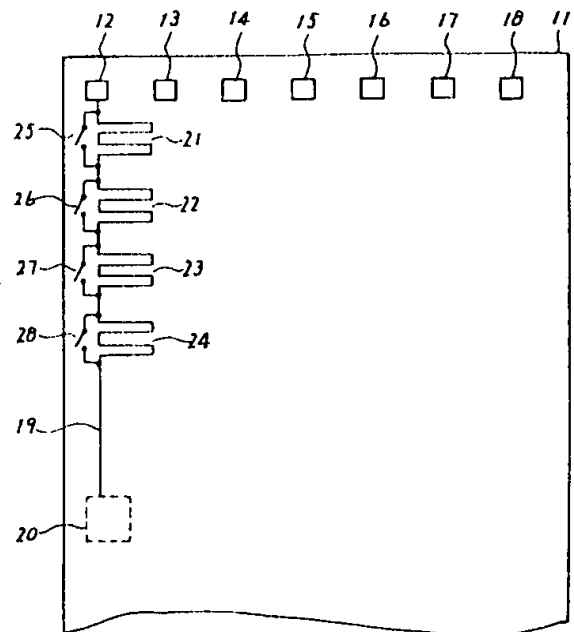
第1図はこの発明の一実施例における半導体装置の模式上面図、第2図は、従来の半導体装置の模式上面図、第3図は第2図の半導体集積回路のプリント基板上における実使用状態での信号線の等価回路図、第4図は、第3図に示すA点およびB点における信号を示す波形図である。

図において、11は半導体基板、12~18はボンディングパッド、19はAl配線、20は入力バッファ回路、21~24はインダクタパターン、25~28はスイッチである。

なお、図中、同一符号は同一、又は相当部分を示す。

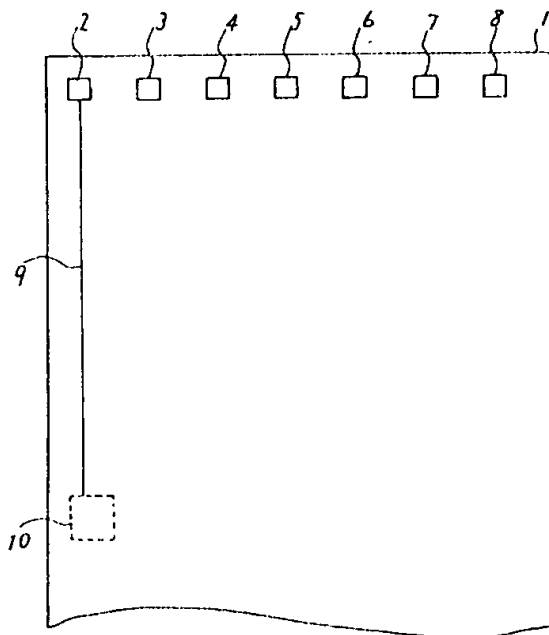
代理人 大 岩 増 雄

第1図



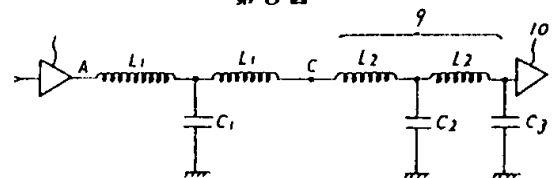
11: 半導体基板
12~18: ボンディングパッド
19: Al配線
20: 入力バッファ回路
21~24: インダクタパターン
25~28: スイッチ

第2図



1: 半導体基板
2-8: ボンディングパッド
9: Al配線
10: 入力バッファ回路

第3図



第4図

